

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-076880

(43)Date of publication of application : 14.03.2000

(51)Int.Cl.

G11C 16/06
G11C 16/04
H01L 27/115
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 10-242258

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.08.1998

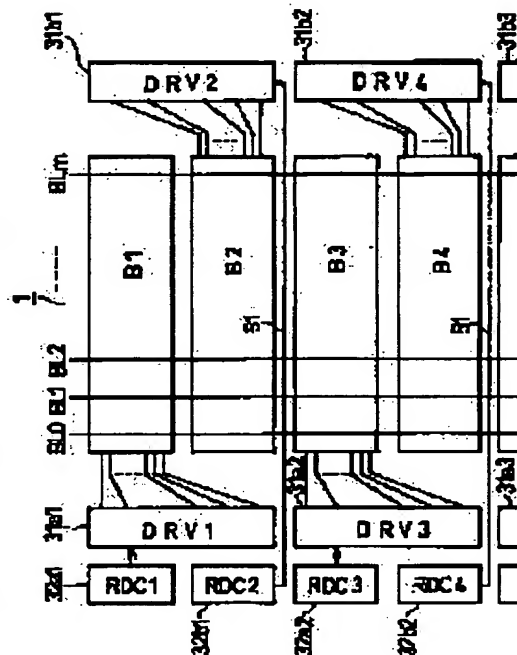
(72)Inventor : TAKEUCHI TAKESHI
SAKUI YASUSHI

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor storage device, in which a malfunction due to the displacement of operation timing is not generated and a circuit layout not attended with increase of a chip area is adopted.

SOLUTION: Word-line driver circuits 31a1, 31a2,... driving the word lines of an odd number of blocks B1, B3,... in a memory cell array 1 are arranged on the left side of the memory cell array 1, and word-line driver circuits 31b1, 31b2,... driving the word lines of an even number of blocks B2, B4,... are disposed on the right side of the memory cell array 1. Block-address selector circuits 32a1, 32b1, 32a2, 32b2,... transmitting selecting signals to each word-line driver circuit are arranged collectively on the left side of the memory cell array. The output signal conductors of block-address selector circuits 32b1, 32b2,... are disposed as through wirings 51 passed on the regions of the memory cell array 1.



LEGAL STATUS

[Date of request for examination]

17.07.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-76880

(P2000-76880A)

(43) 公開日 平成12年3月14日 (2000.3.14)

(51) Int. Cl.	識別記号	F I	テーマコード (参考)	
G 1 1 C	16/06	G 1 1 C	17/00	6 3 3 A 5 B 0 2 5
	16/04			6 2 2 E 5 F 0 0 1
H 0 1 L	27/115	H 0 1 L	27/10	4 3 4 5 F 0 8 3
	21/8247		29/78	3 7 1
	29/788			

審査請求 未請求 請求項の数 8 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願平10-242258

(22) 出願日 平成10年8月27日 (1998.8.27)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 竹内 健

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

(72) 発明者 作井 康可

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

(74) 代理人 100092820

弁理士 伊丹 勝

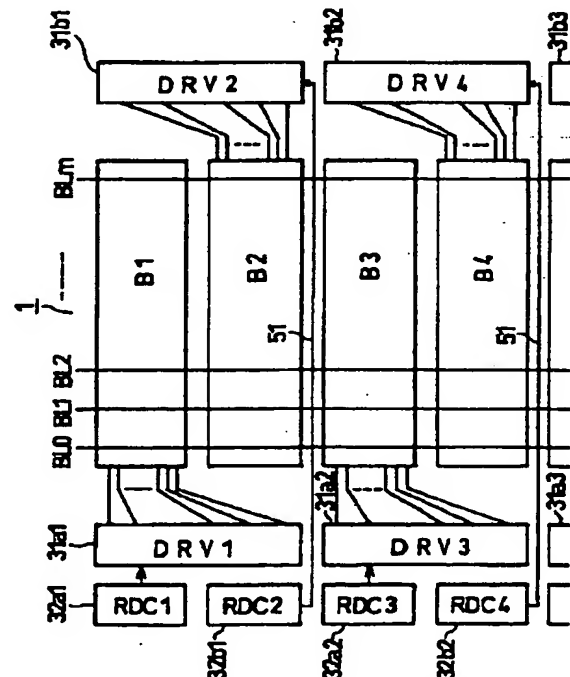
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 動作タイミングのズレによる誤動作が生じることなく、しかもチップ面積の増大を伴わない回路レイアウトを採用した半導体記憶装置を提供する。

【解決手段】 メモリセルアレイ1の奇数番目のブロックB1、B3、…のワード線を駆動するワード線ドライバ回路31a1、31a2、…はメモリセルアレイ1の左側に配置され、偶数番目のブロックB2、B4、…のワード線を駆動するワード線ドライバ回路31b1、31b2、…はメモリセルアレイ1の右側に配置される。各ワード線ドライバ回路に選択信号を供給するブロックアドレス選択回路32a1、32b1、32a2、32b2、…は、メモリセルアレイ1の左側にまとめて配置される。ブロックアドレス選択回路32b1、32b2、…の出力信号線はメモリセルアレイ1の領域上を通るスルー配線51として配設される。



【特許請求の範囲】

【請求項 1】 データを記憶するメモリセルが配置され、少なくとも第 1 及び第 2 の二つのブロックに分けられたメモリセルアレイと、

このメモリセルアレイの第 1 のブロック内のワード線を選択駆動するためのワード線の一端側に配置された第 1 のワード線ドライバ回路と、

前記メモリセルアレイの第 2 のブロック内のワード線を選択駆動するためのワード線他端側に配置された第 2 のワード線ドライバ回路と、

アドレス信号が入力して前記第 1 及び第 2 のワード線ドライバ回路にそれぞれブロック選択信号を供給するための、前記第 1 及び第 2 のワード線ドライバ回路のいずれか一方の側に配置された第 1 及び第 2 のアドレス選択回路と、を有することを特徴とする半導体記憶装置。

【請求項 2】 不揮発にデータを記憶するメモリセルが配置され、それぞれ連続する複数本ずつのワード線を含むように少なくとも第 1 及び第 2 の二つのブロックに分けられたメモリセルアレイと、

このメモリセルアレイの第 1 のブロック内のワード線を選択駆動するためのワード線の一端側に配置された第 1 のワード線ドライバ回路と、

前記メモリセルアレイの第 2 のブロック内のワード線を選択駆動するためのワード線他端側に配置された第 2 のワード線ドライバ回路と、

アドレス信号が入力して前記第 1 及び第 2 のワード線ドライバ回路にそれぞれブロック選択信号を供給するための、前記第 1 及び第 2 のワード線ドライバ回路のいずれか一方の側に配置された第 1 及び第 2 のアドレス選択回路と、を有することを特徴とする半導体記憶装置。

【請求項 3】 前記第 1 のワード線ドライバ回路と第 2 のワード線ドライバ回路は前記メモリセルアレイのワード線の両端側にそれぞれ複数個ずつ配置され、且つ前記メモリセルアレイの各ブロックのワード線は、両端部のブロックを除いて連続する 2 ブロック毎に交互に第 1 及び第 2 のワード線ドライバ回路に接続されていることを特徴とする請求項 1 又は 2 に記載の半導体記憶装置。

【請求項 4】 前記第 1、第 2 のアドレス選択回路からそれぞれ前記第 1、第 2 のワード線ドライバ回路に供給されるブロック選択信号のいずれか一方の配線は、前記メモリセルアレイの領域上を横切って配設されることを特徴とする請求項 1 又は 2 に記載の半導体記憶装置。

【請求項 5】 前記第 1 のワード線ドライバ回路は、前記メモリセルアレイの奇数番目の複数のブロックにそれぞれ対応させて複数個配置され、前記第 2 のワード線ドライバ回路は、前記メモリセルアレイの偶数番目の複数のブロックにそれぞれ対応させて複数個配置されていることを特徴とする請求項 1 又は 2 に記載の半導体記憶装置。

【請求項 6】 前記第 1 のワード線ドライバ回路と第 2

2

のワード線ドライバ回路は前記メモリセルアレイのワード線の両端側にそれぞれ複数個ずつ配置され、且つ前記メモリセルアレイの各ブロックのワード線は、両端部のブロックを除いて連続する複数ブロック毎に交互に第 1 及び第 2 のワード線ドライバ回路に接続されていることを特徴とする請求項 1 又は 2 に記載の半導体記憶装置。

【請求項 7】 前記メモリセルは、基板上にゲート絶縁膜を介して浮遊ゲートと制御ゲートが積層された電氣的書き換え可能なメモリセルであることを特徴とする請求項 1 又は 2 に記載の半導体記憶装置。

【請求項 8】 前記メモリセルは、基板上にゲート絶縁膜を介して浮遊ゲートと制御ゲートが積層された電氣的書き換え可能なメモリセルであり、隣接するメモリセルがソース、ドレインを共有して複数個ずつ直列接続されて NAND セルを構成していることを特徴とする請求項 1 又は 2 に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に係り、特に NAND 型 EEPROM 等に適用して有用な半導体記憶装置に関する。

【0002】

【従来の技術】従来より、半導体記憶装置の一つとして、電氣的書き換えを可能とした EEPROM が知られている。中でも、メモリセルを複数個直列接続して NAND セルを構成する NAND セル型 EEPROM は、高集積化できるものとして注目されている。NAND 型 EEPROM のメモリセルには、半導体基板上に電荷蓄積層（浮遊ゲート）と制御ゲートとを積層形成した FETMOS 構造が用いられる。このメモリセルは、浮遊ゲートに蓄積された電荷量によって、データ“0”，“1”を記憶する。

【0003】NAND 型 EEPROM でのデータ書き込みは、選択された制御ゲートに 20V 程度の昇圧された書き込み電圧 V_{pgm} を印加し、非選択の制御ゲートには中間電圧 V_{pass} を印加し、データ“0”，“1”に応じて選択メモリセルのチャネル電圧をコントロールする。“0”データ書き込みのときは、ビット線から選択メモリセルのチャネルまで 0V を転送する。これにより選択メモリセルでは、トンネル電流により浮遊ゲートに電子が注入され、しきい値が正の状態（データ“0”）となる。“1”データ書き込みのときは、メモリセルのチャネルをフローティングにする。この結果、チャネルは制御ゲートからの容量結合により電位上昇するから、書き込み電圧が制御ゲートに与えられたメモリセルでしきい値の変動がなく、負のしきい値状態（データ“1”の消去状態）に保たれる。

【0004】NAND 型 EEPROM でのデータ消去は、例えばメモリセルアレイ全体について、或いはブロック単位で制御ゲートに 0V を印加し、基板或いはウェ

ルに20V程度の消去電圧V_{erase}を印加して、全メモリセルで浮遊ゲートの電荷を基板側に放出させる。これにより、全メモリセルはしきい値が負のデータ“1”状態に消去される。

【0005】データ読み出しは、選択された制御ゲートに0V、残りの制御ゲートにデータ“0”、“1”に拘わらずメモリセルがオンする中間電圧V_{read}を与えて、NAND型セルが導通するかどうかをビット線で検出することにより行われる。NAND型EEPROMの各メモリセルの制御ゲートは行方向に連続的に配設されて、ワード線となる。通常、1ワード線につながるメモリセルの集合を1ページと呼ぶ。また、一つのNANDセル内を選択する連続する複数本のワード線の範囲(8NANDであれば、これに対応する8ワード線の範囲、16NANDであれば、16ワード線の範囲)をNANDブロック(或いは単にブロック)と呼ぶ。1ページは例えば、256バイトのメモリセルにより構成され、1ページ分のメモリセルは同時に書き込み及び読み出しが行われる。

【0006】この様なNAND型EEPROMにおいて、ワード線を選択駆動するロウデコード回路の各ワード線に接続されるワード線ドライバ回路には、高電圧が印加されるために、メモリセルよりチャネル長の長い高電圧トランジスタが用いられる。このため、ワード線ドライバ回路の各高電圧トランジスタをワード線のピッチに配置することは難しい。この点を解決するため、ワード線ドライバ回路をメモリセルアレイの両側に振り分けて配置する方式が本出願人により既に提案されている(特願平6-198840号参照)。

【0007】図11は、その一つ的方式であり、メモリセルアレイのNANDセルを配列した一つのブロックBの左側に第1のワード線ドライバ回路DRV1が配置され、右側に第2のワード線ドライバ回路DRV2が配置される。第1のワード線ドライバ回路DRV1は、ブロックB内の奇数番目のワード線WL1, WL3, ...と、ビット線側の選択ゲート線SG1を駆動する。第2のワード線ドライバ回路DRV2は、偶数番目のワード線WL0, WL2, ...とソース側選択ゲート線SG2とを駆動する。これらのワード線ドライバ回路DRV1, DRV2に対して、ロウアドレスのデコード信号を供給するロウアドレス選択回路RDCは、一方のワード線ドライバ回路RDV1側に配置される。

【0008】図12は、もう一つ的方式である。この方式では、メモリセルアレイのブロックB1内の全ワード線を駆動するワード線ドライバ回路DRV1をメモリセルアレイの左側に、隣接するブロックB2内の全ワード線を駆動するワード線ドライバ回路DRV2を右側に配置している。前述のように、ワード線ドライバ回路の各高電圧トランジスタをワード線ピッチに配置することはできないから、ワード線ドライバ回路DRV1, DRV

2の幅がブロックB1, B2の幅より大きくなるが、図示のようにブロックB1, B2毎に交互にメモリセルアレイの両側に振り分けることにより、ワード線ドライバ回路DRV1, DRV2を配置することができる。

【0009】

【発明が解決しようとする課題】図11のレイアウト方式では、ブロックB内のワード線が左右のワード線ドライバ回路RDV1, RDV2により駆動される。このため、ワード線が長く、そのRC時定数が大きい場合には、着目するNANDセル内で各メモリセルに所定電圧が与えられるタイミングにズレが生じ、これにより誤書き込み等の誤動作が生じるという問題がある。具体的に例えば、ブロックB内のワード線WL3に書き込み電圧V_{pgm}(=18V)を与え、残りのワード線に中間電圧V_{pass}(=10V)を与えて、ワード線WL3に沿ったメモリセルにデータ書き込みを行う場合を例にとって説明する。このとき、ブロックB内の左端のNANDセルに着目すると、左側から充電されるワード線WL1, WL3, WL5, WL7の左端にあるメモリセルの制御ゲートは、100ns程度で所望の電圧にまで立ち上がるのに対し、右側から駆動されるワード線WL0, WL2, WL4, WL6の終端部にある制御ゲートは所望の電圧に立ち上がるまでに例えば、4μsの時間を要する。

【0010】従って、充電開始から4μsまでの間、左端のNANDセルでは、ワード線WL3により選択されたメモリセルの制御ゲートがV_{pgm}になっているにも拘わらず、ワード線WL0, WL2, WL4, WL6に沿った非選択のメモリセルの制御ゲートはV_{pass}に充電されていない状態となる。中間電圧V_{pass}は、“1”書き込みの場合にMAMDセル内の非選択のメモリセルのチャネルを容量結合により電位上昇させるためのものであるから、中間電圧V_{pass}が不十分な状態で書き込み電圧V_{pgm}が与えられると、非選択メモリセルのチャネル電位が上昇せず、誤書き込みの原因となる。

【0011】これに対して、図12のレイアウト方式では、ブロック内の全ワード線が同じ側から駆動されるから、上述した各メモリセルの選択のタイミングのズレは問題にならない。しかし、このレイアウト方式の場合、ロウアドレス選択回路が大きな面積を占めるという別の問題がある。この点を以下に具体的に説明する。

【0012】図13及び図14はそれぞれ、図11及び図12のレイアウト方式を採用した場合について、二つのメモリセルアレイを持つメモリチップ上のロウデコード(ワード線ドライバ回路及びロウアドレス選択回路を含む)のレイアウトを示している。図11の方式では、メモリセルアレイの一端側にのみロウアドレス選択回路RDCが設けられるから、ロウアドレス選択回路に入るロウアドレス信号線は、図13のように、チップ中央の周辺回路領域のロウアドレス発生回路から出て、メモリ

5

セルアレイの周辺回路側のみに沿うように配置される。これに対して、図12の方式では、メモリセルアレイの両側にロウアドレス選択回路RDC1、RDC2が配置されるため、ロウアドレス信号線は、図14のように配設される。

【0013】1ブロックが2^N本のワード線からなり、2^Mブロックが配置される場合、ワード線選択を行うロウアドレス信号線の本数は、2(N+M)である。具体的に1ブロック8ワード線として、512ブロックを配置した場合、ロウアドレス信号線の本数は、24本になる。従って、図14の方式では、ロウアドレス選択回路の占有面積が大きなものとなる。また図14の方式では、周辺回路領域のロウアドレス発生回路から引き出されたロウアドレス信号線をメモリセルアレイ両側のロウデコーダ領域まで導く配線領域の面積も大きい。

【0014】この発明は、上記事情を考慮してなされたもので、動作タイミングのズレによる誤動作が生じることなく、しかもチップ面積の増大を伴わない回路レイアウトを採用した半導体記憶装置を提供することを目的としている。

【0015】

【課題を解決するための手段】この発明に係る半導体記憶装置は、データを記憶するメモリセルが配置され、少なくとも第1及び第2の二つのブロックに分けられたメモリセルアレイと、このメモリセルアレイの第1のブロック内のワード線を選択駆動するためのワード線の一端側に配置された第1のワード線ドライバ回路と、前記メモリセルアレイの第2のブロック内のワード線を選択駆動するためのワード線他端側に配置された第2のワード線ドライバ回路と、アドレス信号が入力して前記第1及び第2のワード線ドライバ回路にそれぞれブロック選択信号を供給するための、前記第1及び第2のワード線ドライバ回路のいずれか一方の側に配置された第1及び第2のアドレス選択回路と、を有することを特徴とする。

【0016】この発明に係る半導体記憶装置はまた、不揮発にデータを記憶するメモリセルが配置され、それぞれ連続する複数本ずつのワード線を含むように少なくとも第1及び第2の二つのブロックに分けられたメモリセルアレイと、このメモリセルアレイの第1のブロック内のワード線を選択駆動するためのワード線の一端側に配置された第1のワード線ドライバ回路と、前記メモリセルアレイの第2のブロック内のワード線を選択駆動するためのワード線他端側に配置された第2のワード線ドライバ回路と、アドレス信号が入力して前記第1及び第2のワード線ドライバ回路にそれぞれブロック選択信号を供給するための、前記第1及び第2のワード線ドライバ回路のいずれか一方の側に配置された第1及び第2のアドレス選択回路と、を有することを特徴とする。

【0017】この発明において、前記第1のワード線ド

6

ライバ回路と第2のワード線ドライバ回路は前記メモリセルアレイのワード線の両端側にそれぞれ複数個ずつ配置され、且つ前記メモリセルアレイの各ブロックのワード線は、両端部のブロックを除いて連続する複数ブロック毎、具体的には例えば2ブロック毎に交互に第1及び第2のワード線ドライバ回路に接続される。

【0018】この発明において、前記第1、第2のアドレス選択回路からそれぞれ前記第1、第2のワード線ドライバ回路に供給されるブロック選択信号のいずれか一方の配線は、前記メモリセルアレイの領域上を横切って配設される。

【0019】この発明において、メモリセルアレイのブロック数が2以上である場合、例えば第1のワード線ドライバ回路は、メモリセルアレイの奇数番目の複数のブロックにそれぞれ対応させて複数個配置され、第2のワード線ドライバ回路は、メモリセルアレイの偶数番目の複数のブロックにそれぞれ対応させて複数個配置される。或いはまた、第1のワード線ドライバ回路と第2のワード線ドライバ回路は、メモリセルアレイの各ブロックのワード線が、両端部のブロックを除いて連続する2ブロック毎に交互に第1及び第2のワード線ドライバ回路に接続されるように、メモリセルアレイのワード線の両端側にそれぞれ複数個ずつ配置される。

【0020】この発明において例えばメモリセルは、基板上にゲート絶縁膜を介して浮遊ゲートと制御ゲートが積層された電氣的書き換え可能なメモリセルである。更にこの発明において好ましくは、メモリセルは、基板上にゲート絶縁膜を介して浮遊ゲートと制御ゲートが積層された電氣的書き換え可能なメモリセルであり、隣接するメモリセルがソース、ドレインを共有して複数個ずつ直列接続されてNANDセルを構成する。

【0021】この発明によると、ワード線ドライバ回路は、メモリセルアレイのブロック単位でワード線の両端部に振り分けて配置され、1ブロック内の全ワード線は一方のワード線ドライバ回路から充電される。従って、ワード線のRC時定数の影響によるメモリセルの動作タイミングのズレが生じることはない。具体的にこの発明をNAND型EEPROMに適用した場合、データ書き込みモードでは、1ブロック内で選択ワード線に書き込み電圧が印加され、残りの非選択ワード線に中間電圧が印加される。このとき、ワード線に沿って配置されなどのNANDセルに着目しても、NANDセル内の複数のメモリセルの制御ゲートが所定の電圧に達するタイミングにズレが生じることはない。データ書き込み動作での誤書き込み等が防止される。この点は、従来の図12のレイアウト方式と同様である。

【0022】一方この発明では、図12のレイアウト方式と異なり、メモリセルアレイの両側に配置されたワード線ドライバ回路にブロック選択信号を供給するアドレス選択回路が、メモリセルアレイのワード線の一端側に

7

のみ配置される。従って、アドレス選択回路に入るアドレス信号線は、図14に示した例におけるようにチップ上で大きな面積を占有することなく、図13と同様に小さい面積に配設することができるから、チップ面積の増大を抑えることができる。

【0023】

【発明の実施の形態】以下、図面を参照して、この発明の実施例を説明する。図1は、この発明の一実施例に係るNANDセル型EEPROMのブロック構成を示す。メモリセルアレイ1は後述するように、不揮発性のメモリセルを直列接続したNANDセルを配列して構成される。このメモリセルアレイ1のビット線データをセンスし、或いは書き込みデータを保持するためにセンスアンプ回路（兼データラッチ）2が設けられている。センスアンプ回路2は、データ書き込み後のペリファイ読み出し及び書き込み不十分のメモリセルに対する再書き込みを行う際のビット線電位制御をも行うもので、例えばCMOSフリップフロップを主体として構成される。

【0024】センスアンプ回路2は、データ入出力バッファ6に接続されている。センスアンプ回路2とデータ入出力バッファ6の間の接続は、アドレスバッファ5からのアドレス信号を受けるカラムデコード43の出力により制御される。メモリセルアレイ1に対して、メモリセルの選択を行うため、より具体的には制御ゲート及び選択ゲートを制御するために、ロウデコード3が設けられている。基板電位制御回路7は、メモリセルアレイ1が形成されるp型基板（又はp型ウェル）の電位を制御するために設けられている。

【0025】メモリセルアレイ1の選択されたメモリセルにデータ書き込みを行う際に、電源電圧より昇圧された書き込み電圧 V_{pgm} を発生するために、書き込み電圧（ V_{pgm} ）発生回路9aが設けられている。この V_{pgm} 発生回路9aとは別に、データ書き込み時に非選択のメモリセルに与えられる書き込み用中間電圧 V_{pass} を発生するための書き込み用中間電圧（ V_{pass} ）発生回路9b、及びデータ読出時（ペリファイ読み出し時を含む）に非選択のメモリセルに与えられる読み出し用中間電圧 V_{read} を発生するための読み出し用中間電圧（ V_{read} ）発生回路9cが設けられている。

【0026】書き込み用中間電圧 V_{pass} 、読み出し用中間電圧 V_{read} は、書き込み電圧 V_{pgm} よりは低いが、電源電圧 V_{CC} より昇圧された電圧である。これらの V_{pgm} 発生回路9a、 V_{pass} 発生回路9b、及び V_{read} 発生回路9cを制御するために、制御信号発生回路8が設けられている。

【0027】図2（a）（b）は、メモリセルアレイ1の一つのNANDセル部分の平面図と等価回路図であり、図3（a）（b）は図2（a）のA-A'、B-B'断面図である。NANDセルは、p型シリコン基板11の素子分離絶縁膜12で囲まれた領域に形成されて

8

いる。各メモリセルは、基板11にゲート絶縁膜13を介して浮遊ゲート14（141, 142, ..., 148）が形成され、この上に層間絶縁膜15を介して制御ゲート16（161, 162, ..., 168）が形成されて、構成されている。これらのメモリセルのソース、ドレイン拡散層であるn型拡散層19（190, 191, ..., 1910）は、隣接するもの同士共有する形で接続され、これによりNANDセルが構成されている。

【0028】NANDセルのドレイン、ソース側にはそれぞれ、メモリセルの浮遊ゲート、制御ゲートと同時に形成された選択ゲート149, 169及び1410, 1610が設けられている。素子形成された基板上はCVD酸化膜17により覆われ、この上にビット線18が配設されている。ビット線18はNANDセルの一端のドレイン側拡散層19にコンタクトさせている。行方向に並ぶNANDセルの制御ゲート14は共通に制御ゲート線CG1, CG2, ..., CG8として配設されて、これがワード線WL1, WL2, ..., WL8となる。選択ゲート149, 169及び1410, 1610もそれぞれ行方向に連続に配設されて選択ゲート線SG1, SG2となる。

【0029】図4は、この様なNANDセルがマトリクス配列されたメモリセルアレイ1の等価回路を示している。同一の制御ゲート線（ワード線）及び選択ゲート線を共有する、破線で囲んだ範囲のNANDセル群をブロックと称し、読み出し、書き込みの動作は通常、複数のブロックのうち一つを選択して行われる。

【0030】図5は、この実施例でのメモリセルアレイ1とロウデコード3の部分のレイアウトであり、図6は図5の一部を更に具体化して示したものである。メモリセルアレイ1は図示のように、ビット線方向に複数のブロックB1, B2, ...に分割されている。各ブロックBiには、この実施例では図6に示すように、 $m+1$ 個のNANDセル $a_{i0} \sim a_{im}$ が含まれる。

【0031】この実施例では、ロウデコード3の中のメモリセルアレイ1の各ブロックBiのワード線を駆動するワード線ドライバ回路31は、メモリセルアレイ1のワード線両端に振り分けて配置されている。即ち奇数番目のブロックB1, B3, ...をそれぞれ駆動するための第1のワード線ドライバ回路31a（31a1, 31a2, ...）は、メモリセルアレイ1の左側に、偶数番目のブロックB2, B4, ...をそれぞれ駆動する第2のワード線ドライバ回路31b（31b1, 31b2, ...）はメモリセルアレイ1の右側に配置されている。

【0032】ロウアドレスのうちブロックアドレスをデコードしてワード線ドライバ回路31a及び31bにそれぞれブロック選択信号を出力するブロックアドレス選択回路32a（32a1, 32a2, ...）及び32b（32b1, 32b2, ...）は、共にメモリセルアレイ1の左側に配置されている。そして、ブロックアドレス選択回路32bのブロック選択信号を、右側のワード線

9

ドライバ回路31bに供給するために、メモリセルアレイ1の領域を通過する配線51が配設されている。

【0033】メモリセルアレイ1の領域を通過するブロック選択信号配線51としては、例えば図3に示すビット線(BL)18を第2層金属配線として、第1層金属配線を用いることができる。配線51は、メモリセルアレイ1のワード線WL及び共通ソース線62と平行に配設される。従って第1層金属配線は、配線51の他、選択ゲート線SGを低抵抗化するための、選択ゲート線SGに適当な位置でコンタクトする裏打ち配線(バイパス配線)として、更に共通ソース線52としても用いることができる。配線51はビット線BLと交差するから、ビット線BLと異なる層の金属配線であればよく、上と逆にビット線BLを第1層金属配線により形成し、第2層金属配線によって配線51を形成してもよい。更に、通常2層金属配線構造とする場合に、配線51を第3層金属配線として最上層に加えることもできる。

【0034】第1、第2のブロック選択回路32a、32bをメモリセルアレイ1の右側に配置してもよい。この場合には、第1のブロック選択回路32aのブロック選択信号配線をメモリセルアレイ1の領域を横切って配設することになる。

【0035】図7は、図6のうち特にワード線ドライバ回路31a1、ブロックアドレス選択回路32a1、32b1の部分の構成を具体的に示したものである。所定のブロックアドレスRAi、RBi、RCi及びイネーブル信号RDENBXが入ってブロックアドレス選択回路32a1のブロック選択信号RDECL1が“H”となり、これによりブロックB1が選択される。このブロック選択信号RDECL1は、制御信号BSTON及び電源VCCによりそれぞれゲートが制御されるDタイプのNMOSトランジスタQ701、Q702を介して、ノードN0に転送される。これらのトランジスタQ701、Q702は高電圧トランジスタであり、しきい値は例えば、-1V程度である。

【0036】このノードN0で駆動されるEタイプNMOSトランジスタQ611~Q618、Q621、Q622はそれぞれ、選択ブロックB1のワード線WL1~WL8、選択ゲート線SG1、SG2を駆動する駆動トランジスタである。これらの駆動トランジスタも高電圧トランジスタであり、しきい値は0.6V程度に設定されている。

【0037】EタイプNMOSトランジスタQ704、Q705、IタイプNMOSトランジスタQ703、キャパシタC71、C72及びインバータ74の部分は、昇圧回路から得られる電圧VRDECをノードN0に転送するためのチャージポンプ作用を利用したスイッチ回路70を構成している。電圧VRDECは具体的には、動作モードに応じて、図1に示すVpgm発生回路9a、Vread発生回路9cから発生される書き込み電圧Vpg

10

m、読み出し電圧Vread、或いはVCCである。IタイプNMOSトランジスタQ703のしきい値は、0.2V程度である。このスイッチ回路70も高電圧トランジスタを用いて構成される。

【0038】キャパシタC71、C72は、DタイプNMOSトランジスタを用いたMOSキャパシタである。ブロックB1が選択されてノードN0に“H”が転送されると、電圧VRDECがドレインに与えられたNMOSトランジスタQ704がオンして、電圧VRDECはこのNMOSトランジスタQ704及びダイオード接続されたNMOSトランジスタQ703を介して、ノードN0に転送される。

【0039】チャージポンプ作用は、ブロック選択出力RDECI1と交流信号CRDが入るNANDゲート73により制御される。即ちブロック選択信号RDECI1が“H”のときに、NANDゲート73の出力には交流信号CRDが現れる。この交流信号CRDにより、互いに逆相駆動されるキャパシタC71、C72とNMOSトランジスタQ703の部分でチャージポンピングが行われる。この結果、MOSトランジスタQ703、Q704のしきい値分の電圧降下を伴うことなく、電圧VRDECはノードN0に転送されることになる。ノードN0は、VRDECよりも高い電圧VRDEC+αまで上昇可能であるが、NMOSトランジスタQ705がこのノードN0の電圧上昇を抑制している。即ちNMOSトランジスタQ705のしきい値をVthとすると、ノードN0の電圧は、VRDEC+Vth以下に抑えられる。

【0040】ブロック選択信号RDECI1がインバータ71により反転された信号RDECI1Bにより制御されるEタイプMOSトランジスタQ631、Q632は、書き込み及び読み出し時にこのブロックB1が非選択の時に選択ゲート線SG1、SG2をそれぞれ接地電位SGDSに設定するために設けられている。

【0041】ブロックアドレス選択回路32b1から得られる選択信号RDECI2は、前述のようにメモリセルアレイ1の領域を通過する配線51により、メモリセルアレイ1の右側に配置されたワード線ドライバ回路31b1に供給される。次にこの実施例のEEPROMのデータ読み出し、書き込み及び消去の動作をロウデコードに着目しながら説明する。

【0042】データ読み出し時は、ブロックB1のワード線WL1が選択されたとすると、これにつながる端子CGN1が0Vに設定される。残りの非選択ワード線につながる端子CGN2~CGN8は、Vread発生回路9cから出力される、メモリセルをオンさせる電圧Vread(例えば、4.5V)に設定される。選択ゲート線SG1、SG2につながる端子SGN1、SGN2にもVreadが与えられる。

【0043】具体的には、データ読み出し時、イネーブル信号RDENBXが“H”になると、ブロックアドレ

11

ス選択回路32a, 32bが活性化される。そして、アドレスRAi, RBi, RCiが全て“H”になると、ブロックアドレス選択回路32aの出力REDCI1は“H”、その反転信号REDCI1Bは“L”になる。

【0044】データ読み出し中は、ドライバ回路31に与えられる電圧VRDECはVreadより僅かに高い値に設定される。また制御信号BSTONが“L”になり、ノードN0とNANDゲート73の入力端の間が分離される。そして、REDCI1=“H”が入力されたNANDゲート73を発振出力CRDが通り、これによりスイッチ回路70が動作して、ノードN0にはほぼ電圧VRDEC(=約8V)が転送される。この結果、ブロックB1のワード線ドライバ素子であるNMOSTランジスタQ611~Q618, Q621, Q622がオンになり、端子CGN1~CGN8, SGN1, SGN2の電圧がワード線WL1~WL8, 選択ゲート線SG1, SG2に与えられる。

【0045】これにより、選択されたワード線WL1につながるメモセルは、データ“1”ならばオンして、ビット線電位は低下する。データ“0”であれば、メモセルはオフであり、ビット線の電位低下はない。このビット線の電位変化をセンスアンプ回路により検出することにより、データが読み出される。

【0046】非選択ブロックでは、ブロック選択信号RDECIが“L”、その反転信号RDECI Bが“H”になる。これにより、選択ゲート線SG1, SG2が接地される。また、非選択ブロックでは発振出力CRDがスイッチ回路70に転送されず、制御信号BSTONが“H”であって、ノードN0が0V、従って全ワード線がフローティングに保たれる。

【0047】データ書き込み時は、“0”データ書き込みを行うビット線に0V、“1”データ書き込みを行うビット線にVCCが与えられ、選択されたワード線には書き込み電圧Vpgm(約20V)、非選択ワード線には中間電圧Vpass(約10V)が与えられ、ビット線側の選択ゲート線SG1にはVCC、共通ソース線側の選択ゲート線SG2には0Vが与えられる。アドレス選択回路32及びドライバ回路31内のスイッチ回路70の動作は、読み出し時と基本的に同じである。但しデータ書き込み時、電圧VRDECは、書き込み電圧Vpgmより僅かに高い値に設定され、これがノードN0に転送される。これにより、NMOSTランジスタQ611~Q618がオン駆動され、端子CGN1~CGN8の電圧がワード線WL1~WL8に与えられる。そして、“0”データが与えられたビット線に沿った選択メモセルでは浮遊ゲートに電子注入が生じて、しきい値が正の状態になる。“1”データが与えられたビット線に沿った選択メモセルでは、フローティングのチャネルが制御ゲートとの容量結合で電位上昇して、電子注入は生じない。

12

【0048】データ消去は、ビット線及び共通ソース線がフローティングに保たれ、メモセルアレイが形成されたウェルに消去電圧Vera(約20V)が与えられる。また選択ブロックの全ワード線が0Vに設定される。

【0049】ワード線ドライバ回路31内では、このデータ消去の際、発振出力CRDは供給されず、制御信号BSTONが“H”で、ノードN0はVCCに設定される。これにより、NMOSTランジスタQ611~Q618がオン駆動され、端子CGN1~CGN8の0Vがワード線WL1~WL8に与えられ、浮遊ゲートからの電子放出により、全メモセルのデータが消去される。非選択ブロックでは、全ワード線をフローティングに保つことにより、ウェルとの容量結合で制御ゲートが電位上昇し、データ消去が防止される。データ消去時、SGN1, SGN2, SGDSはVCCに設定される。その結果、選択ゲートSG1及びSG2はフローティングになり、ウェルとの容量結合で電位上昇する。従って選択ゲートのゲート電極とチャネルとの間に電位差を生じないため、選択ゲートの酸化膜が破壊されることはない。

【0050】この実施例においては、図5に示したように、メモセルアレイ1の各ブロック内で全てのワード線が同じ側から駆動される。従って、従来の図11の回路方式におけるような、各NANDセル内での制御ゲートの駆動タイミングがずれることはなく、誤書き込み等が防止される。また、メモセルアレイ1の両側に配置したワード線ドライバ回路31a, 31bを制御するためのアドレス選択回路32a, 32bは共に、メモセルアレイ1の一方側にのみ配置されるから、ロウアドレス信号線を図13の例と同様にメモセルアレイ1の一方側にのみ配設することができ、チップ面積を増大させることもない。

【0051】図8は、図5のレイアウトを基本として、図6とは少し異なるレイアウトとした実施例である。図6の実施例では、ビット線コンタクト61を共有するブロックについて、ワード線ドライバ回路31a, 31bを交互にメモセルアレイ1の両側に配置したのに対し、この実施例では、共通ソース線62を共有するブロックについて、ワード線ドライバ回路32a, 32bが交互に配置されるようにしている。その他、先の実施例と同様である。

【0052】図9は、図5のレイアウトを変形した実施例である。図5の実施例では、メモセルアレイ1の奇数番目の複数のブロックB1, B3, …にそれぞれ対応させて左側に第1のワード線ドライバ回路31a1, 31a2, …を配置し、偶数番目のブロックB2, B4, …にそれぞれ対応させて右側に第2のワード線ドライバ回路31b1, 31b2, …を配置した。これに対し図9の実施例では、第1番目のブロックB1のワード線は左側のワード線ドライバ回路31a1に接続され、2番

13

目及び3番目のブロックB2、B3のワード線は右側の第2のワード線ドライバ回路31b1、31b2に接続され、続く4番目及び5番目のブロックB4及びB5のワード線は左側のワード線ドライバ回路31a2、31a3に接続されている。以下同様にして、メモリセルアレイ1の各ブロックのワード線は、両端部のブロックを除いて連続する2ブロック毎に交互に左右に配置した第1及び第2のワード線ドライバ回路31a、31bに接続される。

【0053】ここまでの実施例では、メモリセルアレイ1の1ブロック毎、或いは2ブロック毎に第1及び第2のワード線ドライバ回路31a、31bがメモリセルアレイ1の両側に振り分けられ、第1及び第2のワード線ドライバ回路31a、31bはほぼ同数（ブロック数が偶数であれば、同数）になる。またここまでの実施例では、ブロックのビット線方向の幅に対して、高電圧MOSトランジスタを用いるワード線ドライバ回路の幅が大きくなることを前提として、ワード線ドライバ回路をメモリセルアレイ1の両側に分散させている。この場合、ワード線ドライバ回路の幅がブロック幅の2倍以下に納められれば、上記実施例の手法により、メモリセルアレイ1の両側にそれぞれ配置される複数のワード線ドライバ回路は、ほぼ直線上に並べて配置することが可能である。

【0054】また、ワード線ドライバ回路のレイアウトを考慮すれば、3ブロック毎、或いは4ブロック毎にワード線ドライバ回路をメモリセルアレイ1の両側に交互に配置することもできる。

【0055】図9の実施例において、同じ側にワード線ドライバ回路を配置した隣接ブロック、例えばブロックB2とB3、或いはブロックB4とB5は、ビット線コンタクトを共有するものであっても、或いは共通ソース線を共有するものであってもよい。また、隣接ブロックがビット線コンタクトを共有する場合に、ビット線コンタクト側の選択ゲート線を一本にまとめて駆動する方式とすることも有効である。

【0056】図10は具体的に、図9における隣接する二つのブロックB4、B5に着目して、選択ゲート線SG1を共通化した場合の具体構成を、ワード線ドライバ回路31a2、31a3との関係で示している。図示のように二つのブロックB4、B5のビット線コンタクト61側の選択ゲート線SG1は、一本の選択ゲート線SG0としてまとめられて、これがワード線ドライバ回路31a2、31a3により駆動される。ワード線ドライバ回路31a2、31a3の具体構成は、図7と同様であるので、詳細説明は省略する。

【0057】共通選択ゲート線SG0は、ブロックアドレス選択回路32a2、32a3の出力信号RDEC I 2、RDEC I 1の反転信号RDEC I 2B、RDEC I 1Bによりそれぞれゲートが制御される二つのNMO

14

ストランジスタQ633、Q634を介して接地される。即ち、二つのブロックB4、B5が共に非選択のとき、RDEC I 1B=RDEC I 2B="H"となつて、共通選択ゲート線SG0は接地される。

【0058】この発明は、上記実施例に限られない。実施例では、NAND型EEPROMを説明したが、他の電氣的書き替え可能な不揮発性メモリであるNOR型、AND型、DINOR型EEPROMにも同様にこの発明を適用することができる。更にこの発明は、紫外線消去型のEPROMや書き換えができないマスクROMにも適用可能である。

【0059】

【発明の効果】以上述べたようにこの発明によれば、ワード線ドライバ回路は、メモリセルアレイのブロック単位でワード線の両端部に振り分けて配置され、1ブロック内の全ワード線は一方のワード線ドライバ回路から充電されるため、メモリセルの動作タイミングのズレが生じることはない。またこの発明では、メモリセルアレイの両側に配置されたワード線ドライバ回路に選択信号を供給するアドレス選択回路は、メモリセルアレイのワード線的一端側にのみ配置される。従って、アドレス選択回路に入るアドレス信号線は、チップ上で大きな面積を占有することではなく、チップ面積の増大を抑えることができる。

【図面の簡単な説明】

【図1】この発明の一実施例によるNAND型EEPROMの等価回路図である。

【図2】同実施例のNANDセルの平面図と等価回路図である。

【図3】図2のA-A'及びB-B'断面図である。

【図4】同実施例のメモリセルアレイの等価回路である。

【図5】同実施例のメモリセルアレイとロウデコードレイアウトを示す図である。

【図6】図5の一部を具体化して示す図である。

【図7】図6の要部構成を詳細に示す図である。

【図8】他の実施例のメモリセルアレイとロウデコードレイアウトを図6に対応させて示す図である。

【図9】他の実施例のメモリセルアレイとロウデコードレイアウトを図5に対応させて示す図である。

【図10】他の実施例のメモリセルアレイとロウデコードレイアウトを示す図である。

【図11】従来のNAND型EEPROMのメモリセルアレイとロウデコードレイアウト例を示す。

【図12】従来のNAND型EEPROMのメモリセルアレイとロウデコードレイアウトの他の例を示す。

【図13】図11の回路方式の場合のロウアドレス信号線のチップ上レイアウトを示す。

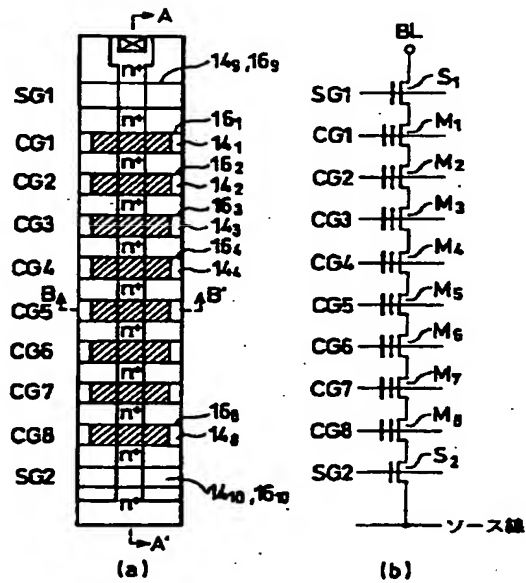
【図14】図12の回路方式の場合のロウアドレス信号線のチップ上レイアウトを示す。

16

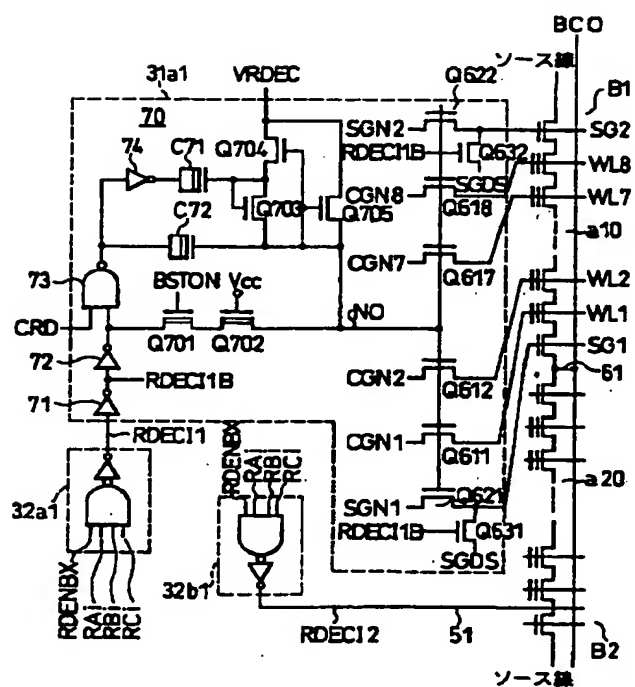
* 9 c ... V_{pgm}, V_{pass}, V_{read}発生回路、B...ブロッ

ク、31a…第1のワード線ドライバ回路、31b…第2のワード線ドライバ回路、32a、32b…ブロックアドレス選択回路。

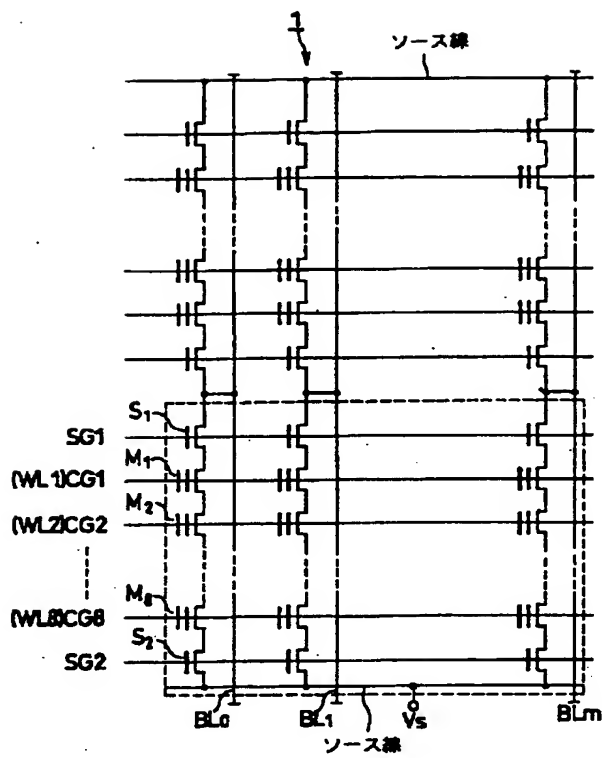
【图 2】



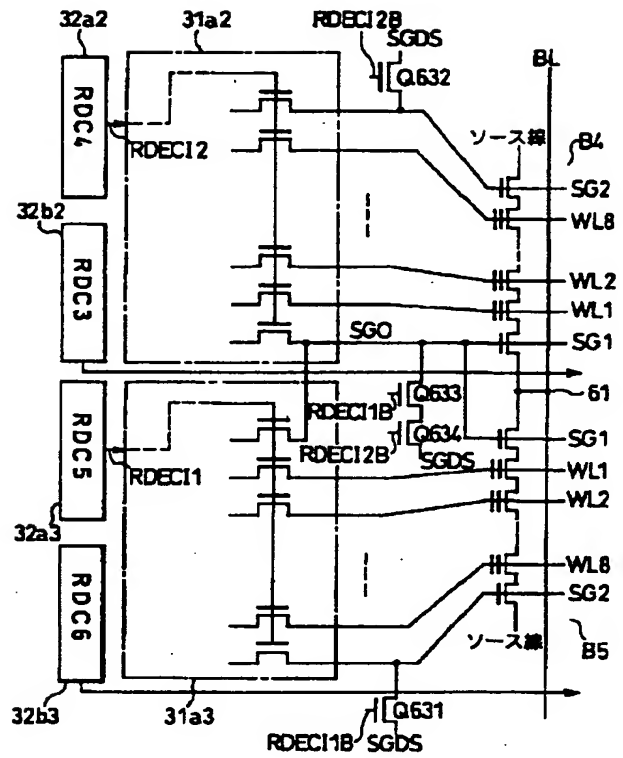
【図 7】



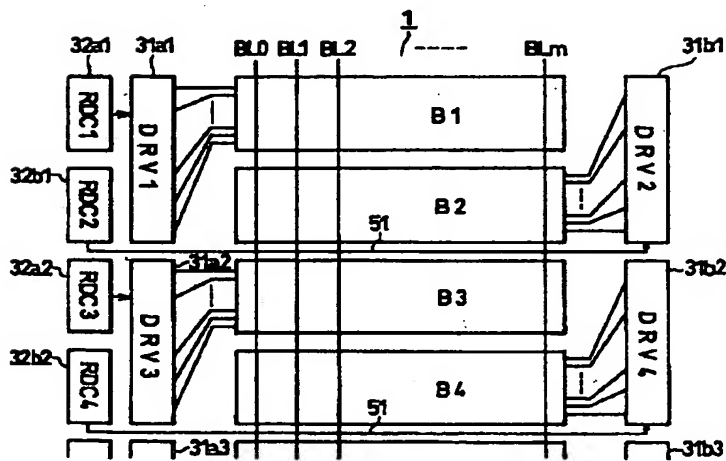
【図4】



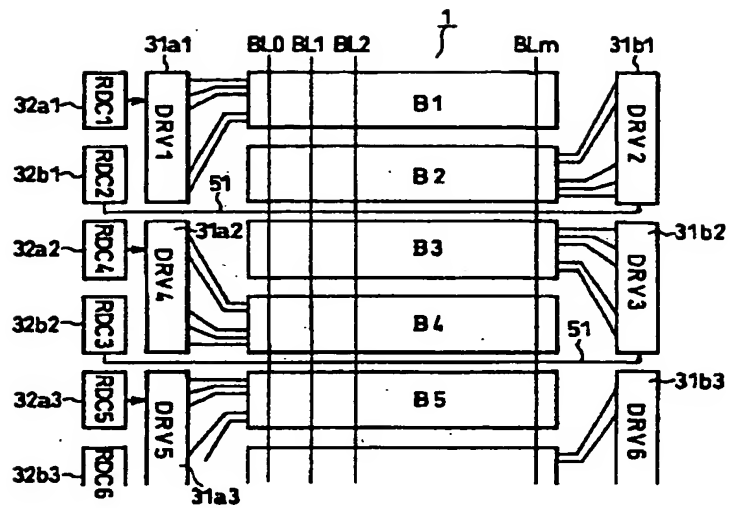
【図10】



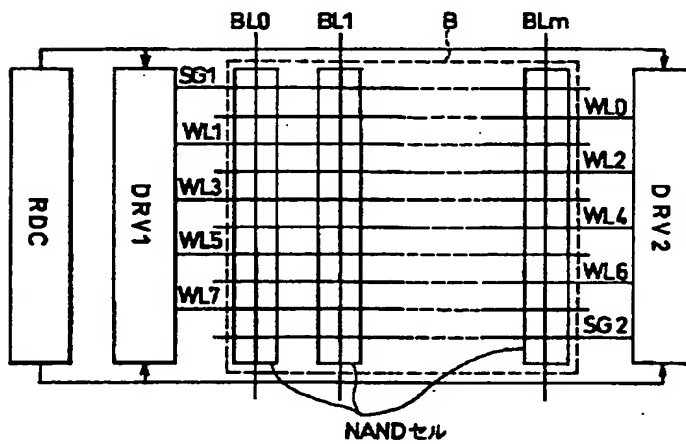
【図5】



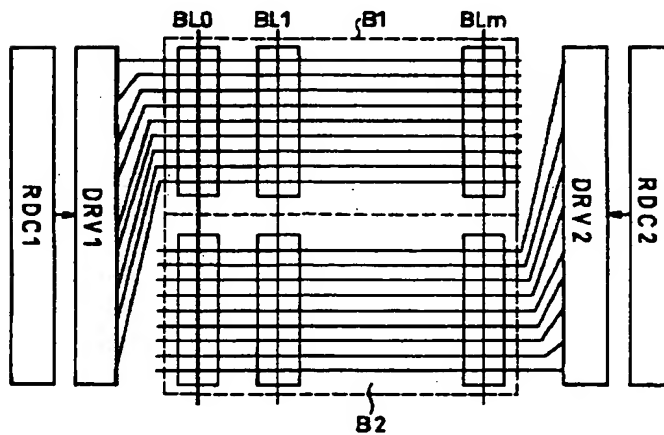
【図9】



【図11】

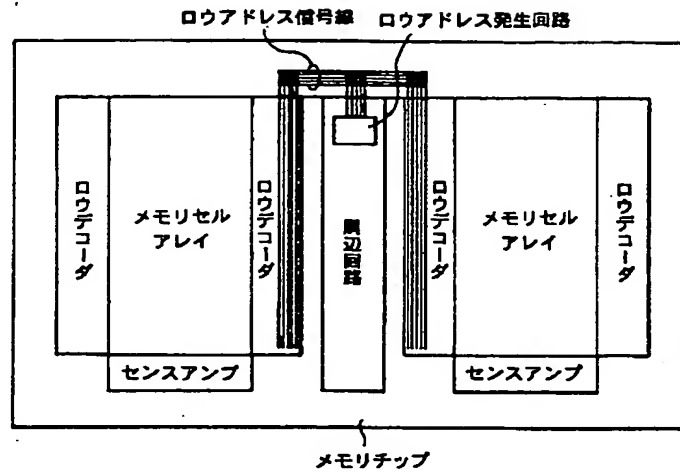


【図12】

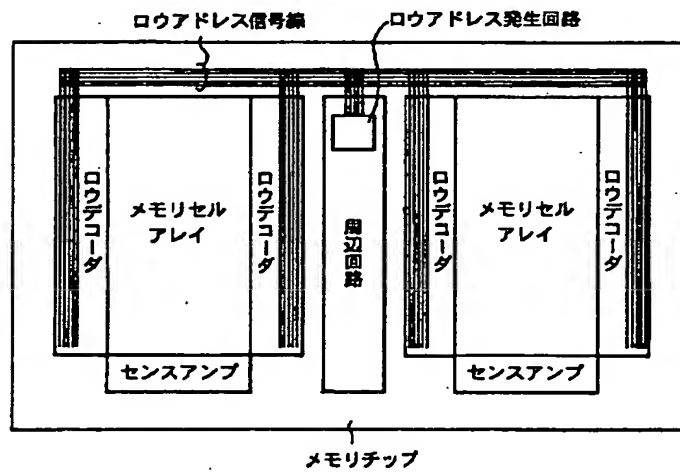


BEST AVAILABLE COPY

【図13】



【図14】



フロントページの続き

(51) Int. Cl. 7

H01L 29/792

識別記号

F I

テーマコード(参考)

Fターム(参考) 5B025 AA01 AB01 AC01 AD02 AD03
AE05 AE08
5F001 AA25 AB08 AB09 AC02 AD12
AD41 AD44 AD51 AD53 AE01
AE02 AE08 AE20 AE30 AE50
AG40
5F083 EP02 EP23 ER03 ER09 ER14
ER19 ER22 GA09 GA30 KA01
LA04 LA05 LA06 LA08 LA12
LA16 LA20 LA28 ZA01